

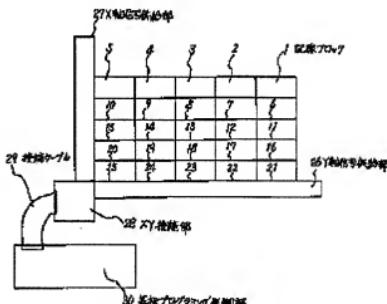
UNIVERSAL BOARD

Publication number: JP7183629
Publication date: 1995-07-21
Inventor: SASAKI YOSHIHIRO
Applicant: NIPPON ELECTRIC CO
Classification:
 - **international:** H05K1/11; H05K1/02; H05K1/00; H05K1/11; H05K1/02;
 H05K1/00; (IPC1-7): H05K1/02; H05K1/11
 - **European:**
Application number: JP19930329145 19931224
Priority number(s): JP19930329145 19931224

[Report a data error here](#)

Abstract of JP7183629

PURPOSE: To easily enlarge the scale of a circuit within the range where it can be connected to an X-axis signal feeder and a Y-axis signal feeder, in the case that the necessity to add a circuit occurs, by connecting blocks, where electronic circuit elements are mounted, in a matrix shape.
CONSTITUTION: When a board programming controller 30 designates the XY location of a wiring block, an X-axis signal feeder 27 turns on the address signal line in the direction of X axis where the wiring block in the location of corresponding X axis is connected, and a Y-axis signal feeder 26 turns on the address signal line in the direction of Y axis where the wiring block in the location of corresponding Y axis is connected. Hereby, only one wiring block where both the address signal line in the direction of X axis and the address signal line in the direction of Y axis are turned on is specified, among several wiring blocks 1-25. The function as one board can be materialized in the whole of the wiring blocks 1-25 in matrix shape by specifying wiring changeover data to all wiring blocks.



Data supplied from the **esp@cenet** database - Worldwide

(51) Int.Cl.⁶
H 05 K 1/02
1/11

識別記号 M
序内整理番号
C 7511-4E

F I

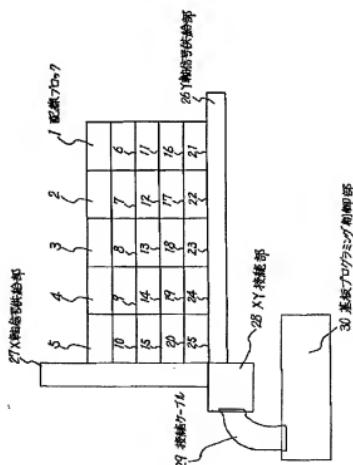
技術表示箇所

		審査請求 有 請求項の数1 O L (全8頁)
(21)出願番号	特願平5-329145	(71)出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成5年(1993)12月24日	(72)発明者 佐々木 義浩 東京都港区芝五丁目7番1号 日本電気株式会社内 (74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】ユニバーサルボード

(57)【要約】

【目的】プログラミングにより配線を決定可能とする。
【構成】マトリスク状に接続された複数の配線ブロック1～25と、配線ブロック1～25のX軸マイナス方向の端に接続されたX軸信号供給部27及びY軸マイナス方向の端に接続されたY軸信号供給部26と、X軸信号供給部27とY軸信号供給部26と、X軸接続部28と、配線ブロック1～25内部の接続を決定する基板プログラミング制御部30と、XY接続部28と基板プログラミング制御部30を接続する接続ケーブル29とを含んで構成される。



【特許請求の範囲】

【請求項1】 (A) 4つのコネクタを4側面に有しマトリクス状に接続される複数の配線ブロックと、

(B) 前記配線ブロックのX軸マイナス方向の側面に位置し他の前記配線ブロックまたは信号供給部と接続するX軸マイナス側コネクタと、

(C) 前記配線ブロックのX軸プラス方向の側面に位置し他の前記配線ブロックと接続するX軸プラス側コネクタと、

(D) 前記配線ブロックのY軸マイナス方向の側面に位置し他の前記配線ブロックまたはY軸信号供給部と接続するY軸マイナス側コネクタと、

(E) 前記配線ブロックのY軸プラス方向の側面に位置し他の前記配線ブロックと接続するY軸プラス側コネクタと、

(F) 前記配線ブロック上面に位置しIC等の電子回路素子を実装するICソケットと、

(G) 前記配線ブロック内部に位置し汎用信号線の接続を切替えるスイッチの集合であるマトリクススイッチ部と、

(H) 前記配線ブロック内部に位置し片側は前記マトリクススイッチ部に接続しもう片側はX軸マイナス側コネクタに接続しており他の前記配線ブロックとの間で信号を伝送する複数の汎用信号線であるX軸マイナス側汎用信号線群と、

(I) 前記配線ブロック内部に位置し片側は前記マトリクススイッチ部に接続しもう片側はX軸プラス側コネクタに接続しており他の前記配線ブロックとの間で信号を伝送する複数の汎用信号線であるX軸プラス側汎用信号線群と、

(J) 前記配線ブロック内部に位置し片側は前記マトリクススイッチ部に接続しもう片側はY軸マイナス側コネクタに接続しており他の前記配線ブロックとの間で信号を伝送する複数の汎用信号線であるY軸マイナス側汎用信号線群と、

(K) 前記配線ブロック内部に位置し片側は前記マトリクススイッチ部に接続しもう片側はY軸プラス側コネクタに接続しており他の前記配線ブロックとの間で信号を伝送する複数の汎用信号線であるY軸プラス側汎用信号線群と、

(L) 前記配線ブロック内部に位置し片側は前記マトリクススイッチ部に接続しもう片側は前記配線ブロックとICソケットとの間で信号を伝送する複数の汎用信号線であるICソケット側汎用信号線群と、

(M) 前記配線ブロック内部に位置しマトリクススイッチ部の切替えを設定し保持しておくスイッチレジスタ部と、

(N) 前記配線ブロック内部に位置しスイッチレジスタ部の設定情報を基板プログラミング制御部から受け取る制御を行う配線ブロック制御部と、

(O) 前記配線ブロック内にありX軸マイナス側コネクタを介し前記配線ブロック制御部と接続しさらにX軸プラス側コネクタを介しX軸方向の複数の前記配線ブロックに制御信号を伝送するコントロールバスと、

(P) 前記配線ブロック内にありX軸マイナス側コネクタを介し前記配線ブロック制御部と接続しさらにX軸プラス側コネクタを介しX軸方向の複数の前記配線ブロックにデータ信号を伝送するデータバスと、

(Q) 前記配線ブロック内にありX軸マイナス側コネクタを介し前記配線ブロック制御部と接続しさらにX軸プラス側コネクタを介しX軸方向の複数の前記配線ブロックにアドレス信号を伝送するX軸方向アドレス信号線と、

(R) 前記配線ブロック内にありY軸マイナス側コネクタを介し前記配線ブロック制御部と接続しさらにY軸プラス側コネクタを介しY軸方向の複数の前記配線ブロックにアドレス信号を伝送するY軸方向アドレス信号線と、

(S) 前記配線ブロック内にあり片側は前記マトリクススイッチ部に接続しもう片側は前記配線ブロック制御部と接続しスイッチの制御信号を伝送するスイッチ切換え信号線群と、

(T) 前記配線ブロックのX軸マイナス方向の端に接続され接続する各配線ブロックに前記コントロールバス信号とデータバス信号とX軸方向アドレス信号を伝送するX軸信号供給部と、

(U) 前記配線ブロックのY軸マイナス方向の端に接続され接続する各配線ブロックにY軸方向アドレス信号を伝送するY軸信号供給部と、

(V) 前記X軸信号供給部とY軸信号供給部を接続するXY接続部と、

(W) 前記配線ブロック一つの内部の接続を設定する基板プログラミング制御部と、

(X) 前記配線ブロックの設定時に前記XY接続部と基板プログラミング制御部を接続する接続ケーブルと、を含むことを特徴とするユニバーサルボード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はユニバーサルボード、特に、自由に回路素子を追加配置し接続できるユニバーサルボードに関する。

【0002】

【従来の技術】 複数のICを搭載してなる実装基板の配線パターンは、回路図→布線表にとづいてCADで作成できる。この場合、クロストークが少なくなるような配線ルール等が開発されているが、本質的には、規定の寸法の基板内に所要の結線を達成できるよう各ICの最適配置を計算し、各ICのピン間を如何なる経路で電気的に接続させられるかを主要な問題としており、CA50 Dデータの通りに印刷配線基盤を作製して各ICを搭載

しても、目的とする性能が発揮できるとの保証はない。しかし、評価用の印刷配線基板を製作するにはコスト、時間が膨大なものとなりその負担に耐えられない。そこで、ユニバーサルボード（万能印刷配線基板）の出現が期待されている。

【0003】従来の技術について図面を参照して詳細に説明する。

【0004】図3（a）、（b）は、従来の第1の例を示す側面図および裏面図である。図3（a）、（b）に示す基板101は、（A）各種のICに対応するソケット102が挿入できる万能パターン114、（B）電源用端子111と、信号用端子112と、接地用端子113、とを含んで構成される。（例えば、特開平4-204392号公報参照）

基板101に搭載される1個だけであり、そのピン数や電気的特性は自由である。すなわち、ICチスターとして開発されたものである。万能パターン114は、スルーホール115が格子状に配置されているだけであり、形の違うソケット102が自由に取り付けられるようになっている。電源用端子111はリード線108Aでソケット102の端子に接続され、信号用端子112はリード線108Bでソケット102の端子に接続され、接地用端子113はリード線108Cでソケット102の端子に接続される。

【0005】ICチスターの電源からソケット102までの配線にはインダクタンスや抵抗があるので、IC103が動作すると、IC103の電源電圧が変動したり、パルス状のノイズが発生したりして正しい条件で検査できなくなる。このため、IC103に電源端子に対応するソケット102の端子と接地端子113間にデカツプリング用のコンデンサ107を付ける。

【0006】基板101を種類の違うIC103にも対応できるようにするために、万能パターン114を大きくしなければならない。そうすると、周辺の端子と万能パターン114を接続するリード線が長くなり、IC103の入出力波形が劣化したり、リングングが発生したりする。特に、IC103の接地端子に接続されるリード線108Cやコンデンサ107のリード線のリンドクタンスにより電源電圧、接地電位が変動し、正確な検査ができないくなる。

【0007】図4（a）、（b）は、図3（a）、（b）に示す基板101の改良技術を説明する側面図および裏面図である。基板101には万能パターン114を覆い、電源パターン104Cと接地パターン104Bが形成される接地パターン104Bが追加されている。

【0008】図5は従来の第2の例を示すブロック図である。図5に示す試験装置は、（A）試験制御部201、（B）リレーr1～r3、（C）共振回路208とコンデンサ209、とを含んで構成される。（例えば、特開平4-169873号公報参照）

これは、各集積回路毎に有する特殊機能を確認するため外付回路と組み合せた状態で行なわれる特殊測定も含まれている。被測定デバイス207内のPLI回路の動作確認をすると、試験制御部201は試験プログラムに従いCPUから被測定デバイス207にテスト信号Stを供給する。なお、被測定デバイス207に印加する電源電圧Vdも試験制御部201から供給される。

【0009】図6（a）～（c）は、図5に示す試験装置の使用例を示すブロック図である。図6（a）は外付回路が何も接続されない状態での試験を示し、図6（b）は共振回路208が接続された状態での試験を示し、図6（c）は共振回路208とコンデンサ209とが接続された状態での試験を示す。

【0010】被測定デバイス207に新しい試験を追加したりする場合には、リレー等の追加、変更と試験プログラムの変える必要がある。独立して動作し得るリレー等の数がICチスターからのリレー制御線の本数（例えば30本）により制限されてしまうので、複雑な機能をもつICの試験は十分には行なえない。

【0011】図7は、図5に示す試験装置を改良したものを示すブロック図である。図5に示す試験制御部201は、CPU211を有するICチスター210により構成される。さらに、切替え部として多数のリレーが配列されたリレー群230を測定ボード状に取り付けている。切替え部204は、ICチスター210からの指定コードを解読して試験測定系の種別を示すデコード信号を出力するデコーダ205と、デコーダ205からのデコード信号にもとづき、リレー群230の制御信号を複数の論理素子により生成する論理回路206とから構成される。

【0012】図8は従来の第3の例を示すブロック図である。図8に示す複合計算機システムは、（A）マトリックススイッチ350、（B）バスライン320、329を介してマトリックススイッチ350に接続される処理装置310～319、（C）マトリックススイッチ350を介して処理装置310～319に接続される記憶装置340～349、とを含んで構成される。（例えば、電子通信ハンドブック、昭和60年、1420頁、図7（d）参照）

マトリックススイッチ350は、クロスバー型のスイッチ機構を用い、融通性の高い効率の良い結合を実現している。現代では、処理装置310～319や記憶装置340～349は、それぞれ1個のLSIで置換できるようになってきた。すなわち、複数のICソケットと、クロスバー型のスイッチ機構と、バスライン等が設けられた配線回路基板により、実現せんとするシステムの実際的な評価が可能なことを示唆している。しかし、このようなシステムは、従来から経済性、信頼性に問題があるとされている。しかも、特別な（インターフェース等50）の処理なしにバスラインに接続できるICにしか適用

できない。

【0013】図9(a)～(c)は従来の第4の例を示す上面図、側面図、断面図である。図9(a)～(c)に示すマルチワイヤ配線板は、(A)絶縁基板405の表面に接着性絶縁樹脂403を展延して付着させ、(B)絶縁被覆銅線404を自動布線機で布線し、(C)接着性絶縁樹脂403のなかに埋め込まれた絶縁被覆銅線404どうし、または絶縁被覆銅線404と印刷配線パターン406との電気的接続を、すべての配線が終了した後にスルーホール407を形成することにより行なうことにより製造される。(例えば、特開昭56-40297号公報参照)

マルチワイヤ配線板401は、電線どうしが同一の配線面で交差可能であり、冗長な配線パターンが発生せず、回路や配線パターンの設計ミスや改善のための変更が生じやすい電子機器の開発、試作段階で使用すると変更設計の手間がからず、印刷配線基板の製作上必要であった原図、写真などのアートワークを必要としないばかりか、実用の高密度化を容易にし、多品種小量生産におけるコストパフォーマンスの改善に寄与する。品種多量生産の場合には試作段階でマルチワイヤ配線板を使用して評価し、量産段階において始めてマルチワイヤ配線板で得られた良好な動作実績のある配線パターンを持つ印刷配線基板の製作すれば良い。すなわち、マルチワイヤ配線板を利用する方法は、最終製品の価格、納期を満足させるため、ユニバーサルボードとして要求される仕様に答える現実的な手段であると思われていた。

【0014】

【発明が解決しようとする課題】上述した従来の技術は、回路の規模の拡大が容易でないという欠点があつた。

【0015】

【課題を解決するための手段】本発明のユニバーサルボードは、(A)4つのコネクタを4側面に有しマトリクス状に接続される複数の配線ブロックと、(B)前記配線ブロックのX軸マイナス方向の側面に位置し他の前記配線ブロックまたは信号供給部と接続するX軸マイナス側コネクタと、(C)前記配線ブロックのX軸プラス方向の側面に位置し他の前記配線ブロックと接続するX軸プラス側コネクタと、(D)前記配線ブロックのY軸マイナス方向の側面に位置し他の前記配線ブロックまたはY軸信号供給部と接続するY軸マイナス側コネクタと、(E)前記配線ブロックのY軸プラス方向の側面に位置し他の前記配線ブロックと接続するY軸プラス側コネクタと、(F)前記配線ブロック上面に位置しIC等の電子回路素子を実装するICソケットと、(G)前記配線ブロック内部に位置し汎用信号線の接続を切替えるスイッチの集合であるマトリクススイッチ部と、(H)前記配線ブロック内部に位置し片側は前記マトリクススイッ

チ部に接続しもう片側はX軸マイナス側コネクタに接続しており他の前記配線ブロックとの間で信号を伝送する複数の汎用信号線であるX軸マイナス側汎用信号線群と、(I)前記配線ブロック内部に位置し片側は前記マトリクススイッチ部に接続しもう片側はY軸マイナス側コネクタに接続しており他の前記配線ブロックとの間で信号を伝送する複数の汎用信号線であるX軸プラス側汎用信号線群と、(J)前記配線ブロック内部に位置し片側は前記マトリクススイッチ部に接続しもう片側はY軸マイナス側コネクタに接続しており他の前記配線ブロックとの間で信号を伝送する複数の汎用信号線であるY軸マイナス側汎用信号線群と、(K)前記配線ブロック内部に位置し片側は前記マトリクススイッチ部に接続しもう片側はY軸プラス側コネクタに接続しており他の前記配線ブロックとの間で信号を伝送する複数の汎用信号線であるY軸プラス側汎用信号線群と、(L)前記配線ブロック内部に位置し片側は前記マトリクススイッチ部に接続しもう片側は前記配線ブロックとICソケットとの間で信号を伝送する複数の汎用信号線であるICソケット側汎用信号線群と、(M)前記配線ブロック内部に位置しマトリクススイッチ部の切換えを設定し保持しておくスイッチレジスタ部と、(N)前記配線ブロック内部に位置しスイッチレジスタ部の設定情報を基板プログラミング制御部から受け取る制御を行う配線ブロック制御部と、(O)前記配線ブロック内にありX軸マイナス側コネクタを介し前記配線ブロック制御部と接続しさらにX軸プラス側コネクタを介しX軸方向の複数の前記配線ブロックにデータ信号を伝送するコントロールバスと、(P)前記配線ブロック内にありX軸マイナス側コネクタを介し前記配線ブロック制御部と接続しさらにX軸プラス側コネクタを介しX軸方向の複数の前記配線ブロックにデータ信号を伝送するデータバスと、(Q)前記配線ブロック内にありX軸マイナス側コネクタを介し前記配線ブロック制御部と接続しさらにY軸プラス側コネクタを介しY軸方向の複数の前記配線ブロックにアドレス信号を伝送するX軸方向アドレス信号線と、(R)前記配線ブロック内にありY軸マイナス側コネクタを介し前記配線ブロック制御部と接続しさらにY軸プラス側コネクタを介しY軸方向の複数の前記配線ブロックにアドレス信号を伝送するY軸方向アドレス信号線と、(S)前記配線ブロック内にあり片側は前記マトリクススイッチ部に接続しもう片側は前記配線ブロック制御部と接続しスイッチの制御信号を伝送するスイッチ切換え信号線群と、(T)前記配線ブロックのX軸マイナス方向の端に接続され接続する各配線ブロックに前記コントロールバス信号とデータバス信号とX軸方向アドレス信号を伝送するX軸信号供給部と、(U)前記配線ブロックのY軸マイナス方向の端に接続され接続する各配線ブロックにY軸方向アドレス信号を伝送するY軸信号供給部と、(V)前記X軸信号供給部とY軸信号供給部を接続するX-Y接続部と、(W)前記配線ブロック一つの内部

の接続を設定する基板プログラミング制御部と、(X)前記配線ブロックの設定時に前記XY接続部と基板プログラミング制御部を接続する接続ケーブルと、を含んで構成される。

【0016】

【実施例】次に、本発明について、図面を参照して詳細に説明する。

【0017】図1は本発明の一実施例を示す正面図である。図1に示すユニバーサルボードは、(A)マトリクス状に接続された複数の配線ブロック1～25と、

(B)配線ブロック1～25のX軸マイナス方向の端に接続されたX軸信号供給部27と、(C)配線ブロック1～25のY軸マイナス方向の端に接続されたY軸信号供給部26と、(D)X軸信号供給部27とY軸信号供給部26を接続するXY接続部28と、(E)配線ブロック1～25内部の接続を決定する基板プログラミング制御部30と、(F)XY接続部28と基板プログラミング制御部30を接続する接続ケーブル29と、を有して構成される。

【0018】X軸信号供給部27から接続する各配線ブロック1～25に対し、コントロールバス、データバス、X軸方向のアドレス信号線が outputされる。Y軸信号供給部26から接続する各配線ブロック1～25に対し、Y軸方向のアドレス信号線が outputされる。

【0019】図2は、図1に示すユニバーサルボードの配線ブロックの構成を示すブロック図である。

【0020】配線ブロックは、基板部31と、基板部の4端部のコネクタX軸マイナス側コネクタ32、X軸プラス側コネクタ34、Y軸マイナス側コネクタ35、Y軸プラス側コネクタ33と、基板部31上のマトリクススイッチ部38、スイッチレジスタ部37、I Cソケット40、配線ブロック制御部36、及び基板部上の信号線としてコントロールバス45、データバス46、X軸方向アドレス信号線41、Y軸方向アドレス信号線42、X軸マイナス側汎用信号線群43、X軸プラス側汎用信号線群47、Y軸マイナス側汎用信号線群49、Y軸プラス側汎用信号線群50、I Cソケット側汎用信号線群43、スイッチ切換え信号線群44とを含んで構成される。

(1) X軸マイナス側コネクタ32は、他の配線ブロック1～25またはX軸信号供給部27と接続し、コントロールバス45、データバス46、Z軸方向アドレス信号線41、X軸マイナス側汎用信号線群48の信号線を収容する。

(2) X軸プラス側コネクタ34は、他の配線ブロック1～25と接続し、コントロールバス45、データバス46、X軸方向アドレス信号線41、X軸プラス側汎用信号線群47の信号線を収容する。

(3) Y軸マイナス側コネクタ35は、他の配線ブロック1～25またはY軸信号供給部26と接続し、Y軸方

向アドレス信号線42、Y軸マイナス側汎用信号線群49の信号線を収容する。

(4) Y軸プラス側コネクタ33は、他の配線ブロック1～25と接続し、Y軸方向アドレス信号線42、Y軸プラス側汎用信号線群50の信号線を収容する。

【0021】(5)コントロールバス45は、基板プログラミング制御部30を接続し各配線ブロック1～25の接続を設定する場合に有効となり、基板プログラミング制御部30から選択された配線ブロック制御部36及び複数の配線ブロックに渡って同一の制御信号を伝送する。

(6) データバス46は、基板プログラミング制御部30を接続し各配線ブロック1～25の接続を設定する場合に有効となり、基板プログラミング制御部30から選択された配線ブロック制御部36及び複数の配線ブロックに渡って同一のデータを伝送する。

(7) X軸方向アドレス信号線41は、基板プログラミング制御部30を接続し各配線ブロック1～25の接続を設定する場合に有効となり、基板プログラミング制御部30から選択された配線ブロック制御部36を指定する場合に複数の配線ブロックに渡って同一のアドレスセレクタ信号を伝送する。

(8) Y軸方向アドレス信号線42は、基板プログラミング制御部30を接続し各配線ブロック1～25の接続を設定する場合に有効となり、基板プログラミング制御部30から選択された配線ブロック制御部36を指定する場合に複数の配線ブロックに渡って同一のアドレスセレクタ信号を伝送する。

(9) X軸マイナス方向、Y軸マイナス方向、Y軸プラス方向それぞれに、隣接する配線ブロックとマトリクススイッチ部38の間で信号を伝送する複数の汎用信号線がX軸マイナス側汎用信号線群48、X軸プラス側汎用信号線群47、Y軸マイナス側汎用信号線群49、Y軸プラス側汎用信号線群50である。本ユニバーサルボードを使用し目的の回路を形成する際に必要な信号を伝送する。

(10) 同様に配線ブロック1～25上のI Cソケット40とマトリクススイッチ部38の間で信号を伝送する複数の汎用信号線がI Cソケット側汎用信号線群43であり、本ユニバーサルボードを使用し目的の回路を形成する際に必要な信号を伝送する。

(11) マトリクススイッチ部38は、4方向の汎用信号線と、配線ブロックのI Cソケット40に実装されたI C等の回路素子39との接続を切替えるスイッチの集合で構成されている。本ユニバーサルボードを使用し目的の回路を形成する際に必要な信号間の接続を切換える。

(12) X軸方向アドレス信号線41、Y軸方向アドレス信号線42、データバス46、コントロールバス45は配線ブロック制御部36に電気的に接続しており、こ

これら信号線により受信したマトリクススイッチのプログラミングデータは、配線ブロック制御部36からスイッチ切換え信号線群44を介しマトリクススイッチ38中のスイッチレジスタ部37に伝送される。

(13) スイッチレジスタ部37に保持された各スイッチの設定に従いマトリクススイッチ38が切換わる。

【0022】各配線ブロック1～25の配線は、配線ブロック制御部36からのプログラミングにより決定される。基板プログラミング制御部30は、全Xロケーションに同一バス信号を分岐出力するX軸信号供給部27を介し、全配線ブロック1～25のデータバス46及びコントローラバス45に同一信号を出力する。

【0023】基板プログラミング制御部30から設定する配線ブロックのXYロケーションを指定すると、X軸信号供給部27は対応するY軸ロケーション上の配線ブロックの接続するX軸方向アドレス信号線41をONし、Y軸信号供給部26は対応するX軸ロケーション上の配線ブロックの接続するY軸方向アドレス信号線42をONする。

【0024】これにより、各配線ブロック1～25中、X軸方向アドレス信号線41とY軸方向アドレス信号線42の両方の信号線が共にONする配線ブロックが1つだけ特定され、基板プログラミング制御部30は特定された配線ブロックを対象にマトリクススイッチのプログラミングデータを送る。

【0025】全配線ブロック1～25中、X、Yロケーションが共に特定された配線ブロックのみデータバス46及びコントローラバス45の信号が有効となり、マトリクススイッチのプログラミングデータを配線ブロック制御部36に取り込む。

【0026】全配線ブロックに対し配線切換えデータを

特定することにより、マトリクス状の配線ブロック1～25全体で一つの基板としての機能を実現できる。

【0027】

【発明の効果】本発明のユーパーサル基板は、電子回路素子の実装されたブロックをマトリクス状に接続するので、回路の追加の必要が発生した場合、X軸信号供給部とY軸信号供給部に接続可能な範囲で、回路の規模を容易に拡大できるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】図1の詳細を示すブロック図である。

【図3】(a)、(b)は従来の第1の例を示す側面図および裏面図である。

【図4】図3(a)、(b)に示す基板101の改良技術を説明する側面図および裏面図である。

【図5】従来の第2の例を示すブロック図である。

【図6】(a)～(c)は図5に示す試験装置の使用例を示すブロック図である。

【図7】図5に示す試験装置を改良したものを示すブロック図である。

【図8】従来の第3の例を示すブロック図である。

【図9】(a)～(c)は従来の第4の例を示す上面図、側面図、断面図である。

【符号の説明】

1～25 配線ブロック

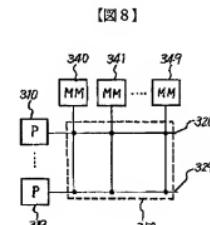
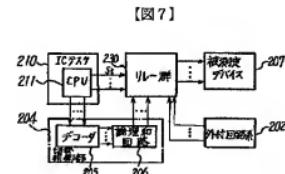
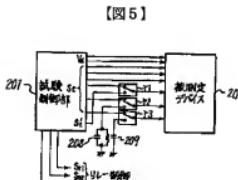
26 Y軸信号供給部

27 X軸信号供給部

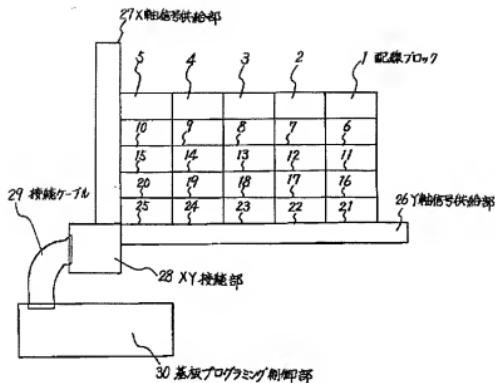
28 XY接続部

29 接続ケーブル

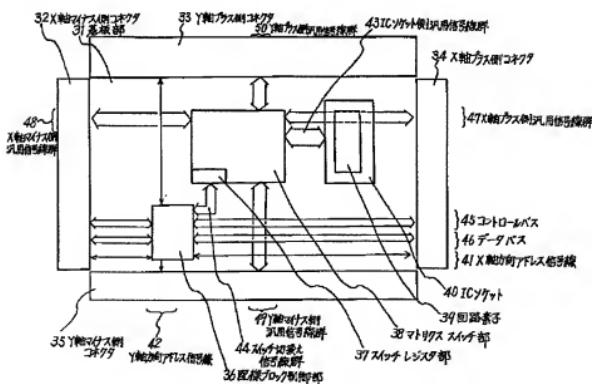
30 30 基板プログラミング制御部



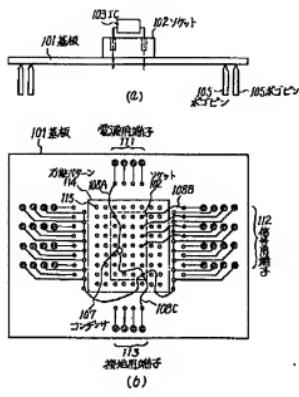
【図1】



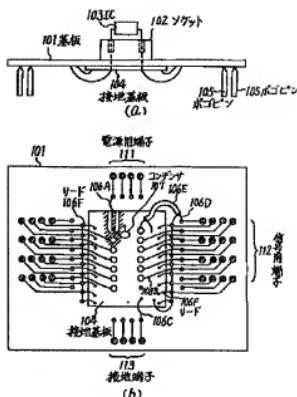
【図2】



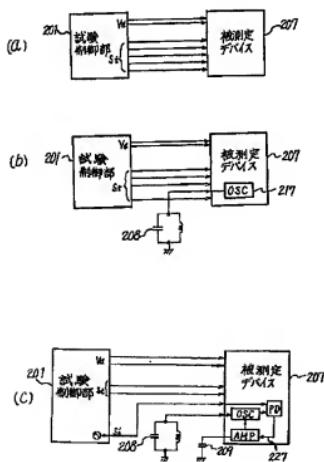
【図3】



【図4】



【図6】



【図9】

